

1.	Наставен предмет	<b>ПЛД И ФПГА КОМПОНЕНТИ</b>			
2.	Шифра	<b>ETF054309</b>			
3.	Студиска програма	<b>ЕРПС</b>			
4.	Семестар (изборност)	<i>зимски (изборен)</i>			
5.	Цели на предметот	Запознавање со концептот на програмабилни компоненти , опис и разработка на ВХДЛ			
6.	Оспособен за (компетенции)	Самостојно дизајнирање на комплексни логички кола			
7.	Услов за запишување на предметот	Дигитална електроника.			
8.	Основна литература (до 3 наслови)	VHDL for programmable logic, KEVIN SKAHILL Addison Wesley 1997 Digital Design, FRANK VAHID Wiley 2007			
9.	Број на кредити	6			
10.	Вкупен расположив фонд на време	3+1+1			
11.	Распределба на расположивото време	6ECTS x 30 часа = 180 часа			
	11.1.	П -	Предавања-теоретска настава	45 часа	
	11.2.	АВ -	Аудиторни вежби	15 часа	
	11.3.	ЛВ -	Лабораториски вежби	15 часа	
	11.4.	ПЗ	Проверка на знаење	1. Тестови	часа
				2. Парцијални испити	2 часа
				3. Испит	часа
				4. Домашни работи	часа
	11.5.	СЗ	Самостојни задачи	1. Проектни задачи	13 часа
				2. Самостојни работи	90 часа
12.	Оценување				
	12.1.	Посетеност на настава (до 10 бода)		бода	
	12.2.	Парцијални испити (min. 60% од вкупниот број предвидени бодови)		200 бода	
	12.3.	Испит (min. 50% од вкупниот број предвидени бодови)		200 бода	
	12.4.	Тестови (max. 20% од вкупниот број предвидени бодови))		бода	
	12.5.	Семинарски работи (max.10% од вкупниот број предвидени бодови)		бода	
	12.6.	Лабораториски вежби (max. 20% од вкупниот број предвидени бодови)		20 бода	
	12.7.	Проектни задачи (max. 20% од вкупниот број предвидени бодови)		30 бода	
	Забелешка:		Бодови:	Оценки:	
	Испитот се смета за положен ако студентот освои најмалку 60% од вкупниот број бодови предвидени со предметната програма. Парцијалниот испит се смета за положен ако студентот освои најмалку 30% од вкупниот број бодови.		од 151 до 170	6 (шест)	
			од 171 до 190	7 (седум)	
			од 191 до 210	8 (осум)	
			од 211 до 230	9 (девет)	
			од 231 до 250	10 (десет)	
13.	Услов за потпис и формален испит		Реализирани активностите од 11.1 до 11.3		

**ПЛАНИРАЊЕ АКТИВНОСТИ ЗА НАСТАВНИОТ ПРЕДМЕТ ПЛД и ФПГА компоненти**

недела	Предавања - теоретска настава		Аудиторни и лабораториски вежби	
	часа	Тема	часа	тема
I.	3	Вовед во програмабилните логички кола, историски осврт кон развојот на поедините фамилии. Опис на најчесто користените решенија PLD, CPLD и FPGA.	2	Споредбедно дизајнирање со логички кола и PLD компоненти
II.	3	Влијание на технолошкиот пристап кон перформансите на финалниот дизајн, време на пропација и фактор на разгранување. Начини на програмирање, компромис помеѓу брзината на работа и можноста за репрограмирање	2	Опис на едноставна развојна околина
III.	3	Типични претставници на програмабилните компоненти од различни производители.	2	Едноставни примери за почеток на самостојна работа
IV.	3	Вовед на структурата на VHDL, опис на ентитети и архитектури.	2	Лаб. вежба 1: Разработка на искодирани решенија
V.	3	Преглед на податочни формати и начини на нивно декларирање.	2	Опис на податочни типови
VI.	3	Функционалност на поедини пинови и начин на декларирање.	2	Лаб. вежба 2: Моделирање на логички шеми
VII.	3	Преглед на оператори, логички и аритметички, правила за примена и приоритети.	2	
VIII.	3	Прв парцијален испит	2	Припрема за испит
IX.	3	Опишување на асинхрон дизајн	2	Разработка на примери од доменот на асинхрон дизајн
X.	3	Опишување на синхрон дизајн	2	Лаб. вежба 3: Кодирање на логички структури со асинхрон дизајн
XI.	3	Дизајн на логички автомати.	2	Разработка на примери од доменот на синхрон дизајн
XII.	3	Опис на функции.	2	Лаб. вежба 4: Кодирање на логички структури со синхрон дизајн
XIII.	3	Опис на процедури.	2	Разработка на концепт за комплексен дизајн
XIV.	3	Оптимизација на податочни патеки и користење на оптимизациони методи, pipeline.	2	Лаб. вежба 5: Изработка на даден логички проблем, симулација
XV.	3	Дизајн на код за симулација и тестирање на проектираните склопови.	2	Лаб. вежба 6: Програмирање на чип за верификација на дизајнот
Збир	45		30	