

1.	Наставен предмет	<b>ЛОГИЧКИ КОЛА И ДИСКРЕТНИ АВТОМАТИ</b>	
2.	Шифра	<b>ETF082Z03</b>	
3.	Студиска програма	<b>ИКИ, КСИА</b>	
4.	Семестар (изборност)	<b>зимски (задолжителен) зимски (изборен)</b>	
5.	Цели на предметот	Запознавање со основните постапки и закони за анализа и проектирање на логички кола и логички мрежи, како и на дигитални електронски компоненти.	
6.	Оспособен за (компетенции)	Употреба на постапките за проектирање на дигитални електронски компоненти.	
7.	Услов за запишување на предметот	нема	
8.	Основна литература (до 3 наслови)	1. McCluskey, E.J., Logic Design Principles, Prentice-Hall Inc., 1986 2. Norman Balabanian, Bradley S. Carlson, Digital Logic Design Principles, John Wiley & Sons, 2001 3. S. Brown, Z. Vranesic, Fundamentals of Digital Logic with VHDL Design, McGraw Hill, 2000	
9.	Број на кредити	6	
10.	Вкупен расположив фонд на време	6 ECTS x30 часа = 180 часа	
11.	Распределба на расположивото време		
	11.1. П -	Предавања-теоретска настава (15 недели x 3 часа)	45 часа
	11.2. ЛВ -	Лабораториски вежби (15 недели x 1 час)	15 часа
	11.3. АВ -	Аудиторни вежби, консултации (15 недели x 1)	15 часа
	11.4. СУ -	Самостојно учење	75 часа
	11.5. ПЗ -	Проверка на знаење(2 x 3 часа)+(2 x 0.5 часа)	7 часа
	11.6. СЗ -	Семинарски работи, самостојни задачи	23 часа
12.	Оценување		
	12.1. Посетеност на настава до 10 бода	10 бода	
	12.2. Парцијални испити (2 x 100 бода)	200 бода	
	12.3. Тестови (2 x 25 бода)	50 бода	
	12.4. Семинарски работи и самостојни задачи	20 бода	
	12.5. Лабораториски вежби	20 бода	
	Забелешка:	Оценки:	
		од 180 до 205 бода	6 (шест)
		од 206 до 230	7 (седум)
		од 231 до 255	8 (осум)
		од 256 до 280	9 (девет)
		од 281 до 300	10 (десет)
13.	Услов за потпис и формален испит	Реализирани активности: од 11.1 до 11.5	

**ПЛАНИРАЊЕ АКТИВНОСТИ ЗА НАСТАВНИОТ ПРЕДМЕТ ЛОГИЧКИ КОЛА И ДИСКРЕТНИ АВТОМАТИ**

недела	Предавања - теоретска настава		Аудиторни и лабораториски вежби	
	часа	тема	часа	тема
	3	Бројни системи, кодови, претворање на кодови	1	Задачи од конверзија на броеви во различни бројни системи, бинарна аритметика и комплементи
	3	Булови функции и мрежи, специјални функции	1	Задачи од кодови и конверзија на кодови, детектирање и корекција на грешки
	3	Теореме	1	Задачи од прекинувачка алгебра, прекинувачки операции и логички порти
	3	Анализа на комбионациони мрежи	1	Задачи од прекинувачки изрази и прекинувачки функции со примена на теоремите
	3	Синтеза на комбинациони мрежи, методи за минимизација (Карноови мапи)	1	Задачи со претставување на логички функции (Карноови мапи)
			2	Запознавање со Klogic и работа со претставување на логички функции
	3	Синтеза на комбинациони мрежи, методи за минимизација (метода на Quin-McCluskey)	1	Дизајн на комбинациони логички мрежи. Минимизирање и минимална реализација на логички функции.
			2	Минимизирање со Карноови мапи
	3	Мултиплексери, демултиплексери, кодери, декодери	1	Табеларна метода Quin-McCluskey
			2	Дизајн на логичка мрежа за собирање и одземање
	3	Пгв Парцијален Испит	1	Консултации
	3	Анализа на секвенцијални мрежи, секвенцијални мрежи во фундаментален режим, секвенцијални мрежи во импулсен режим	1	Мултиплексери и демултиплексери, кодери и декодери, ROM и PLA и повторување и припрема за парцијалниот испит
			2	Дизајн на логичка мрежа за приказ на хексадецимални цифри на седумсегментен дисплеј
	3	Анализа на секвенцијални мрежи, секвенцијални мрежи во фундаментален режим, секвенцијални мрежи во импулсен режим	1	Задачи од секвенцијални логички мрежи, Latch-ови и flip-flop-ови и
	3	Синтеза на секвенцијални мрежи, минимизација на табели на состојби	1	Задачи за анализа и дизајн на поместувачки (Shift) регистри
	3	Синтеза на секвенцијални мрежи, минимизација на табели на состојби	1	Задачи од основни концепти на синхрони секвенцијални мрежи и
			2	Анализа на SR latch и дизајн на LG флип-флоп
	3	Регистри и бројачи	1	Минимизација на целосно дефинирани табели на состојби
			2	Дизајн на синхрона секвенцијална межа
	3	Регистри и бројачи	1	Анализа на асинхрони, синхрони и поместувачки бројачи.
			2	Анализа на работата на бројачи
	3	Запознавање и работа со VHDL	1	Програмирање во VHDL програмскиот јазик. Повторување и подготовка
			1	Програмирање во VHDL програмскиот јазик
Збир	45		30	